

⑪ 公開特許公報 (A)

平3-64109

⑫ Int. Cl. 5

H 03 F 3/45
H 03 H 11/44

識別記号

Z

府内整理番号

7741-5J
7741-5J

⑬ 公開 平成3年(1991)3月19日

審査請求 未請求 請求項の数 7 (全6頁)

④ 発明の名称 差動増幅回路

⑪ 特願 平2-107698

⑫ 出願 平2(1990)4月25日

優先権主張 ⑬ 1989年4月28日 ⑭ イタリア(ITA) ⑮ 20317-A/89

⑬ 発明者 ゲルマーノ ニコリー イタリア国 29100 ピアセンツア ヴィア エー. バヴ
ニ エシ 6番地⑬ 発明者 リナルド カステロ イタリア国 20043 ミラノ アルコーレ ヴィア シ
ー. バチスチ 48番地⑭ 出願人 エスジーエーストムソン マイクロエレクト
ロニクス エス・アーレ・エル イタリア国 20041 ミラノ アグラテ ブリアンツア
ヴィア シー. オリヴェツティ 2番地

⑮ 代理人 弁理士 三好 秀和 外1名

明細書

1. 発明の名称

差動増幅回路

2. 特許請求の範囲

(1) 差動増幅段(2)の相互コンダクタンス(g_m)を高めるための差動増幅回路(1)において、

回路ノード(N)を介して共に接続されるそれぞれのソース電極(S1, S2)を有し、負の値の抵抗器(R)の機能に特徴的に対応する機能を行うため前記ソース電極(S1, S2)と前記回路ノード(N)との間のそれぞれの結合部でそれぞれ結合される一对の能動素子(M3, M4)から構成される回路に特徴付けられる一对のMOS形トランジスタ(M1, M2)から構成されたことを特徴とする差動増幅回路。

(2) 能動素子はMOS形トランジスタ(M3, M4)であることを特徴とする請求項(1)記載の差動増幅回路。

(3) MOS形トランジスタ(M3, M4)は互

いに交差して結合され、一对のMOS形トランジスタ(M1, M2)の対応するソース電極(S1, S2)にそれぞれに導かれるそれぞれのドレイン電極(D3, D4)を有することを特徴とする請求項(2)記載の差動増幅回路。

(4) MOS形トランジスタ(M1, M2)及び能動素子(M3, M4)は全て同一の長さ(L)、かつ定数(K1)によってそれらの間に比例幅(W)を有し、同じ電流値でドレインとソースとの間をそれぞれ流れるバイアス電流(I_{ds})を有することを特徴とする請求項(1)記載の差動増幅回路。

(5) 抵抗器(R)の絶対値は能動素子(M3, M4)の一方の相互コンダクタンスを反転させたものであることを特徴とする請求項(1)記載の差動増幅回路。

(6) MOS形トランジスタ(M1, M2)の対応するソース電極(S1, S2)に接続される一端をそれぞれ有し、一对の同等な電流源(I1)を更に備えることを特徴とする請求項(1)記載の

差動増幅回路。

(7) 差動増幅段(2)の一対のMOS形トランジスタ(M1, M2)は、ダイオード形状にあるそれぞれのMOS形トランジスタ(M7, M8)を介して供給電源(Vd)に接続されるそれぞれのドレイン電極(D1, D2)を備えることを特徴とする請求項(1)記載の差動増幅回路。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明はMOS形トランジスタから構成される差動増幅回路に係わり、特に相互コンダクタンスを高めた差動増幅回路に関する。

(従来の技術)

従来から、差動増幅段あるいは差動増幅ユニットは、アナログ回路設計の広い範囲で最も頻繁に利用される回路の一つである。

一般に、バイポーラトランジスタを用いた差動増幅段は一対のトランジスタから構成され、該トランジスタ群はそれぞれのエミッタ側をノードN

のそれぞれのドレインを介して流れる電流値間の差によって与えられる差動出力電流値 I_{out} によって示される。

差動増幅段の増幅動作を明確にするため、基本的なバラメータとしていわゆる相互コンダクタンス g_m 、即ち、差動入力電圧値 V_{in} の変化量 ΔV_{in} に対する差動出力電流値 I_{out} の変化量 ΔI_{out} の比率が用いられる。このバラメータは、差動増幅段が駆動した場合、バイアスされて割り込む動作点に依存することを示す。

一般に、MOS形トランジスタからなる差動増幅段の相互コンダクタンスは、与えられる電流及びトランジスタの大きさのために、バイポーラトランジスタからなる差動増幅段の相互コンダクタンスよりもかなり低くなる。

換言すれば、異なる製作技術からなるMOS形トランジスタ及びバイポーラトランジスタが等しい相互コンダクタンスを有するためには、MOSトランジスタを大きくして大電流を流すことが必要である。

を介してバイアス用の定電流設定器に接続され、更にこの定電流設定器を介して負電圧の電源端子に接続される。

また、MOS形トランジスタを用いた差動増幅段が良く知られている。即ち、この差動増幅段はMOS型の一対の電界効果トランジスタから構成され、該トランジスタ群はそれぞれのドレインを前述したノードNに接続される。

上述した種類の差動増幅段の構成は、例えば "Analysis and Design of Analog Integrated Circuits", Wiley & Sons, 1986 に掲載されている。

このような差動増幅回路においては、差動増幅段へ入力される電気信号は、一対のトランジスタのそれぞれのベース側、あるいは一対のMOS形トランジスタのそれぞれのゲートへ印加される電圧値の差である差動入力電圧値 V_{in} によって示されることは良く知られたことである。

差動増幅段から出力される電気信号は、代わって、一対のバイポーラトランジスタのそれぞれのコレクタ側、あるいは一対のMOSトランジスタ

従って、MOS形トランジスタを用い、かつ大きな相互コンダクタンスからなる差動増幅段を必要とする分野に適用するには、非常に大きなサイズのMOS形トランジスタが必要であり、かつ該トランジスタに大きな電流を流さなければならぬ。

その結果、差動増幅段が内挿されている集積回路において上記差動増幅段が広い領域を占めるため、また多くの電力が上記差動増幅段で消費されるため、いろいろな問題が生ずる。

このようなMOS形トランジスタを用いた差動増幅段に伴う上記欠点は長年知られてきた。

(発明が解決しようとする課題)

上記の如く、MOS形トランジスタを用いて大きな相互コンダクタンスを有する差動増幅段を必要とする場合、MOS形トランジスタが大きくなり、高密度で素子を集積することができなくなるという問題があった。

また、上記差動増幅段で消費される電力量が大きくなるため、不経済なことであり、また発热量

が大きくなり、高密度に差動増幅段を集積した場合、除熱が大変であるという問題があった。

しかしながら、上記問題に対する効果的な解決策はこれまで見つかっていない。

そこで、本発明は上記従来技術の問題点を解消するもので、その目的とするところは、MOS形トランジスタを用いても消費される電力量が非常に少なく、かつ必要とする設置領域が小さく、大きな相互コンダクタンスを有する差動増幅回路を提供することである。

[発明の構成]

(課題を解決するための手段)

上記課題を解決するための本発明は、差動増幅段(2)の相互コンダクタンス(g_m)を高めるための差動増幅回路(1)において、回路ノード(N)を介して共に接続されるそれぞれのソース電極(S1, S2)を有し、負の値の抵抗器(R)の機能に特徴的に対応する機能を行うため前記ソース電極(S1, S2)と前記回路ノード(N)との間のそれぞれの結合部でそれぞれ結合

電源端子からの電荷を供給するためダイオード機能を有するMOS形トランジスタM7, M8とを備える。

相互コンダクタンス増加回路1は、ドレイン電極D3をMOS形トランジスタM1のソース電極S1に接続されたMOS形トランジスタM3と、ドレイン電極D4をMOS形トランジスタM2のソース電極S2に接続されたMOS形トランジスタM4とから構成される。

ここで、上記MOS形トランジスタM3のゲート電極G3は上記MOS形トランジスタM4のドレイン電極D4に接続され、上記MOS形トランジスタM4のゲート電極G4は上記MOS形トランジスタM3のドレイン電極D3に接続される。

また、差動増幅回路は、更にMOS形トランジスタM3, M4のソース電極S3, S4を一点に接続させるノードNに一端を接続する定電流設定器 I_{ds} と、該定電流設定器 I_{ds} の他端に接続する負電圧- V_e の電源端子とを備える。

MOSトランジスタM7, M8はそのドレイン

される一対の能動素子(M3, M4)から構成される回路に特徴付けられる一対のMOS形トランジスタ(M1, M2)から構成されたことを特徴とする。

(実施例)

以下本発明の実施例を図面を参照して説明する。

第1図に本発明の第1実施例に係わる差動増幅回路を示す。

図示するように、差動増幅回路は一対のnチャネルMOS形トランジスタM1, M2のそれぞれ対応するゲート電極G1, G2にそれぞれ入力される2つの電圧信号の差である差動入力信号を上記トランジスタM1, M2のドレインからソースへそれぞれ流れる2つの電流の値の差である差動出力電流信号に換えて増幅する差動増幅段2と、該差動増幅段2から出力される前記差動出力電流信号の変動を高める能動素子に相当する相互コンダクタンス増加回路1と、上記トランジスタM1, M2のドレインの電極D1, D2に正電圧 V_d の

電極を電圧 V_d の電源端子に接続し、またゲートの電極をソースの電極に接続してダイオードのごとく用いられる。

さらに、完壁を期すため、MOS形トランジスタ(M1, M2)及びMOS形トランジスタ(M3, M4)は全て同一の長さ(L)、かつ定数(K_1)によってそれらの間に比例幅(W)を有し、同じ電流値でドレインとソースとの間をそれぞれ流れるバイアス電流(I_{ds})を有する。

一方、MOS形トランジスタM1のドレインからソースへ流れる電流量とMOS形トランジスタM3のドレインからソースへ流れる電流量は、トランジスタM4のゲートへの電流量を無視できるので等しい。

また、同様にMOS形トランジスタM2のドレインからソースへ流れる電流量とMOS形トランジスタM4のドレインからソースへ流れる電流量は、トランジスタM3のゲートへの電流量を無視できるので等しい。

以上の構成において、本発明に係わる第1実施

例における相互コンダクタンスの増幅を定量的に説明する。

増幅段2からの出力電流 I_{out} の値、即ち一対のMOSトランジスタM1、M2のドレインD1、D2を介して流れるそれぞれの電流値の差は以下のように与えられる。

$$I_{out} = g_m 1 * V_{in} / (1 - g_m 1 * R)$$

ここで、 $g_m 1$ はMOS形トランジスタM1、M2によって形成される差動増幅段の相互コンダクタンスである。 $-R$ はMOS形トランジスタM3、M4のそれぞれが有する仮想の抵抗値である。 V_{in} は差動入力電圧の値、即ち一対のMOS形トランジスタM1、M2のそれぞれのゲートへ印加される電圧値の差である。

抵抗値 $-R$ は負であるので、相互コンダクタンス増幅回路1は、該回路1が内挿される差動増幅段2の見掛け上の相互コンダクタンスの値を大きく増加させうる。

なお、いわゆる低信号方法を適用し、MOS形トランジスタM1、M2のソース電極S1、S2

なる振動が引き起こされない程度の増幅率範囲において、差動増幅段2の相互コンダクタンスを顕著に増加させることができる。

このようにして、非常に高い精度で、かつ工業的に大量生産することにより、差動増幅段2の相互コンダクタンス要素を決定するため比率 $g_m 3 / g_m 1$ の値を定めることができる。

なお、上述したように、一対のMOS形トランジスタM3、M4は、数値計算上、あたかも負の抵抗値を有する仮想の抵抗器の特性に一致した機能を有する。この点に関して、上記の仮想の抵抗器を用い、第1図に示した差動増幅回路と同様の機能を有することになる差動増幅回路を第2図に示す。

即ち、第2図に示す差動増幅回路は、第1図に示した差動増幅回路の一対のMOS形トランジスタM3、M4に対し、負の抵抗値 $-R$ を有する一対の抵抗器 $-R$ に置き換えたものである。

次に、第3図に本発明の第2実施例に係わる差動増幅回路を示す。

から分析することにより相互コンダクタンス増幅回路1の抵抗値、あるいはむしろ直流インピーダンスを計算することが可能になる。

抵抗値 $-R$ は $-1 / g_m 3$ に等しい。ここで、 $g_m 3$ はMOS形トランジスタM3の相互コンダクタンスである。

前述の出力電流 I_{out} の算出式の $-R$ に上記抵抗値 $-1 / g_m 3$ を代入することによって、増幅段2の相互コンダクタンス $g_m 1$ の増幅率は比率 $g_m 1 / g_m 3$ に関連付けられる。この比率の値は本実施例の集積回路において特別な精度で選択されうるものであり、本実施例では0.9に設定されている。

ここで、MOS形トランジスタM3、M4のゲート電極G3、G4が他方のトランジスタに交差して結合されているので、確実に正帰還ループが形成される。それで、單一体の場合より更に低いループゲインを確保することが必要である。

このような条件のもとで、上記0.9の値は、相互コンダクタンス増幅回路1内において雑音と

ここで、第3図において第1図に示した第1実施例と同等の部材には同一の符号を付す。

第2実施例の差動増幅回路は第1実施例の差動増幅回路に対し、MOS形トランジスタM3、M4のドレイン電極D3、D4に電圧 $-V_e$ の電源端子に接続する一対の同一の定電流設定器I1、I1のそれぞれを追加したものである。

以上の構成を有する第2実施例の差動増幅回路のMOS形トランジスタ(M1、M2)及びMOS形トランジスタ(M3、M4)は全て同一の長さ(L)、かつ定数(K1)によってそれらの間に比例幅(W)を有し、同じ電流値でドレインとソースとの間を流れるバイアス電流(I_{ds})を有する。

また、上記定電流設定器I1によって生み出される電流値 I_1 は、

$$I_1 = (K_3 - 1) * I_s$$

である。ここで、 K_3 は定数である。

第2実施例の差動増幅回路の動作は基本的には第1実施例の差動増幅回路の動作と同じである。

従って、MOS形トランジスタ群からなる差動增幅回路にMOS形トランジスタ群からなる相互コンダクタンス増加回路1を内挿することにより、差動增幅段2の相互コンダクタンスを見掛上非常に大きくすることができ、従来の技術的な問題を解決することができる。

また、第1実施例及び第2実施例に示したMOS形トランジスタ群からなる相互コンダクタンス増加回路1を内挿された差動増幅回路は、従来の技術を用いて集積回路に容易に内挿できる。

さらに、MOS形トランジスタ製作技術を駆使した上記差動増幅回路を次々に利用することにより、差動増幅回路は小形化され、かつ消費電力量を大幅に低減することができる。

本発明は、上記実施例に限定されるものではなく、適宜の設計的変更により、適宜の態様で実施し得るものである。

〔発明の効果〕

以上説明したように本発明によれば、差動増幅段(2)の相互コンダクタンス(g_m)を高める

ための差動増幅回路(1)において、回路ノード(N)を介して共に接続されるそれぞれのソース電極(S1、S2)を有し、負の値の抵抗器(R)の機能に特徴的に対応する機能を行うため前記ソース電極(S1、S2)と前記回路ノード(N)との間のそれぞれの結合部でそれぞれ結合される一対の能動素子(M3、M4)から構成される回路に特徴付けられる一対のMOS形トランジスタ(M1、M2)から構成されたので、MOS形トランジスタを用いた差動増幅回路でも、消費される電力量が非常に少なく、かつ必要とする設置領域が小さく、大きな相互コンダクタンスを有することができる。

4. 図面の簡単な説明

第1図は本発明の第1実施例に係わる差動増幅回路図、

第2図は第1図に示した差動増幅回路の相互コンダクタンス増加回路と同様の機能を有する仮想の抵抗器を用いた場合の回路図。

第3図は本発明の第2実施例に係わる差動増幅

回路図である。

1 ⋯ 相互コンダクタンス増加回路

2 ... 差動增幅段 2

M1, M2…ロチャネルMOS形トランジスタ

M3、M4、M7、M8…MOS形トランジスタ

I s … 定電流設定器

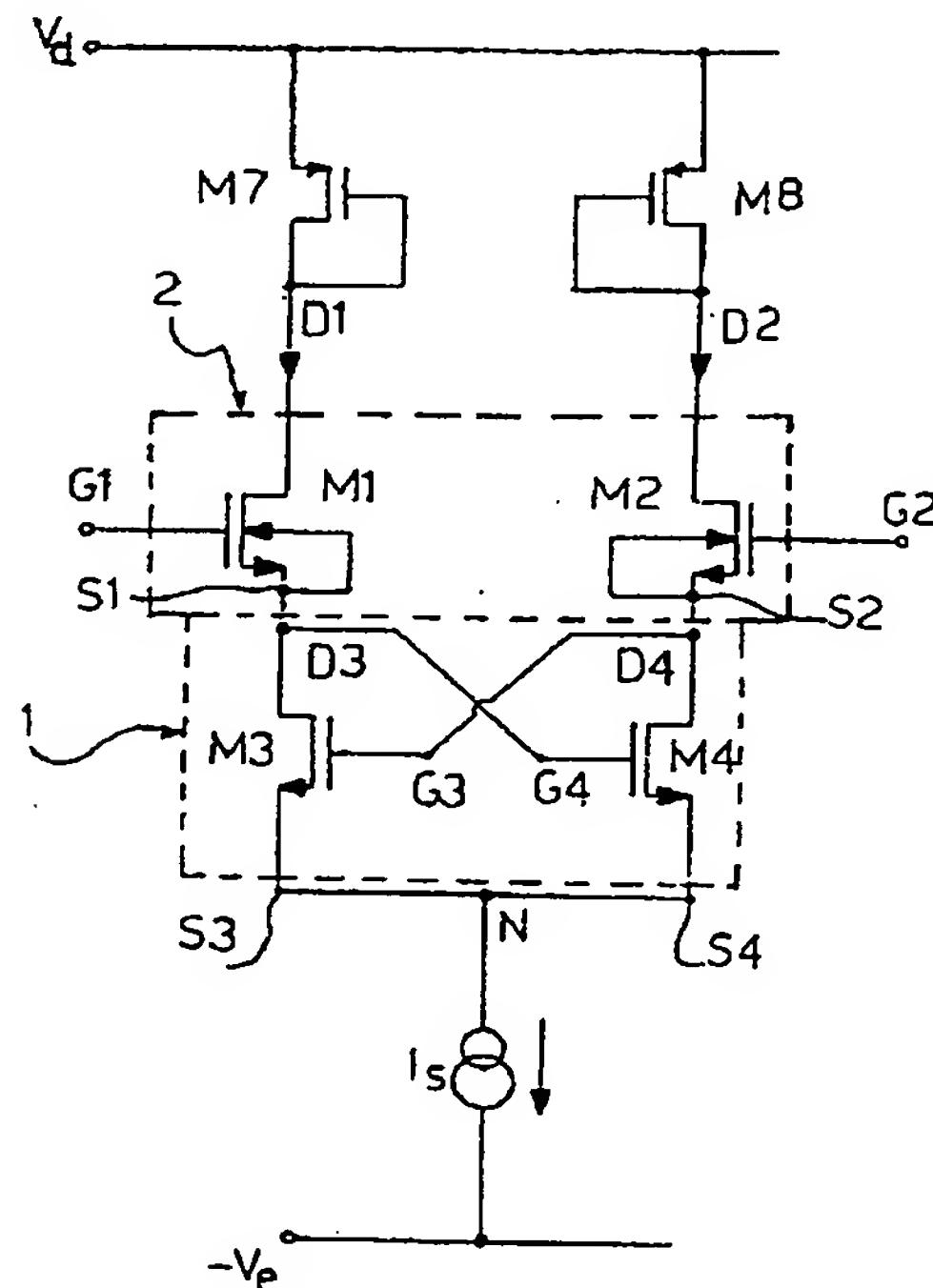


Fig. 1

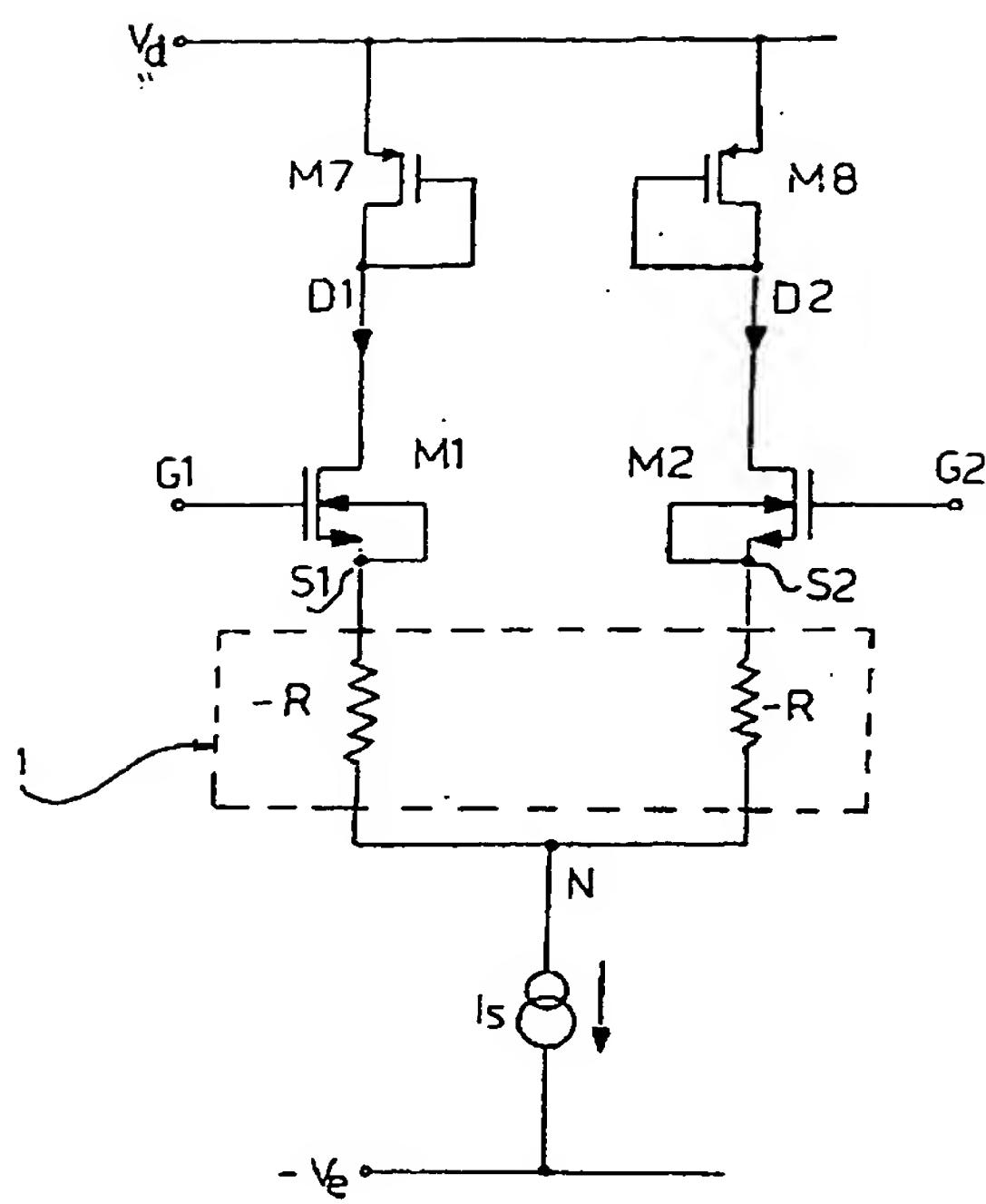


Fig.2

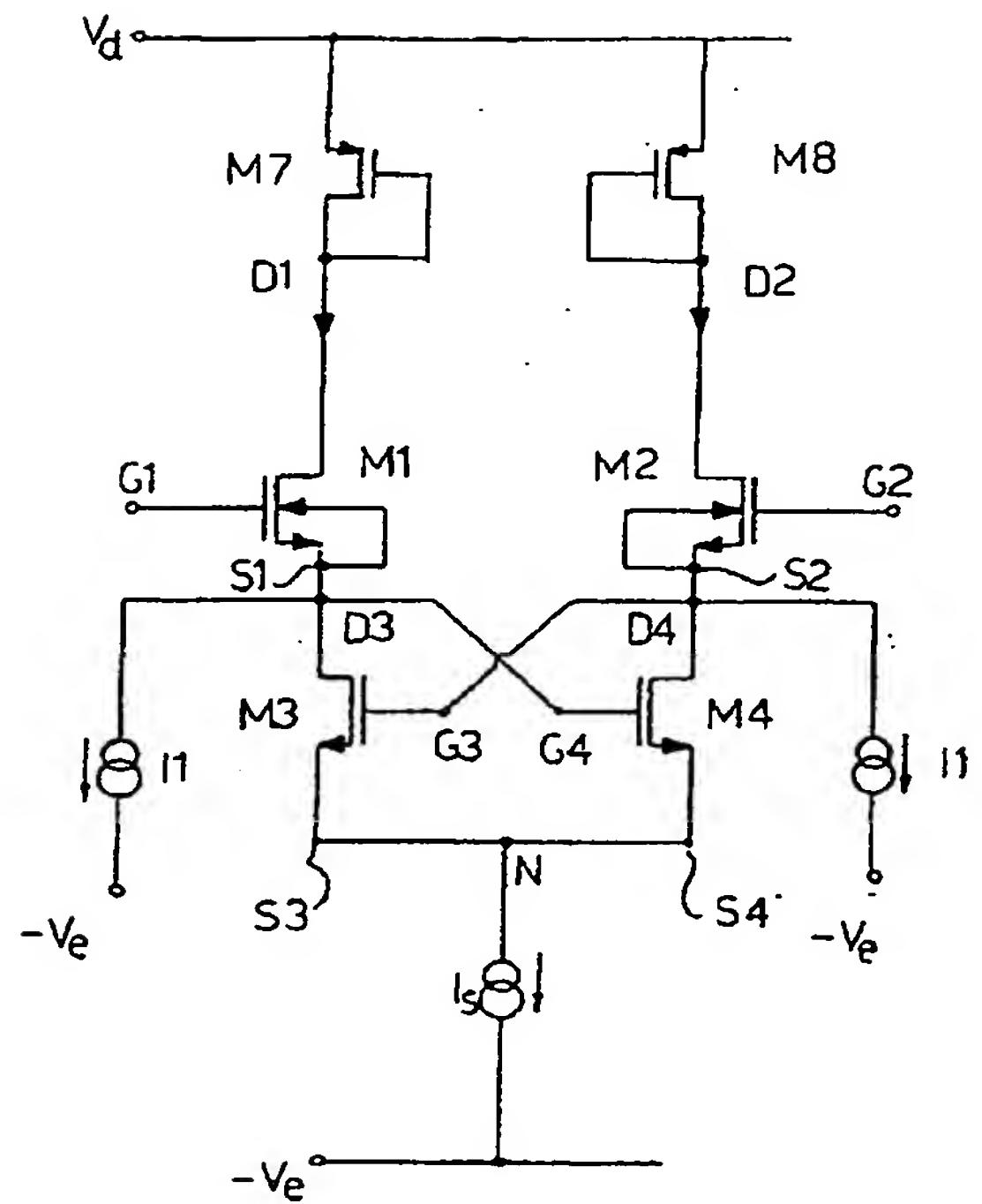


Fig.3